

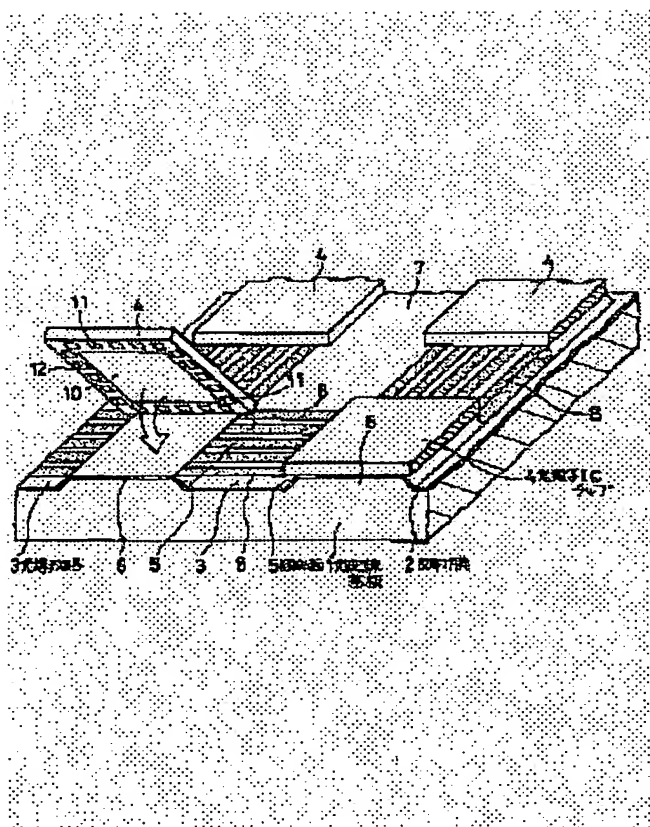
PHOTOELECTRONIC INTEGRATED CIRCUIT DEVICE

Patent number: JP5067770
 Publication date: 1993-03-19
 Inventor: OKUHORA AKIHIKO
 Applicant: SONY CORP
 Classification:
 - international: G02B6/42; G02B6/42; (IPC1-7): H01L27/15
 - european: G02B6/42
 Application number: JP19910254258 19910906
 Priority number(s): JP19910254258 19910906

Report a data error here

Abstract of JP5067770

PURPOSE: To provide an photoelectronic integrated circuit device with a structure easy to manufacture and a simple photo-coupling structure as well as an accurate and simplified power supply for each photoelectronic IC chip.
CONSTITUTION: A plurality of projecting parts 6 for mounting photoelectronic IC chips 4 are provided in an optical wiring board 1. A slope 5 coated with a reflecting film 2 is formed at the surrounding side part of the projecting part 6. The slope 5 is formed corresponding to the location of a light emitting device 11 and a photodetector 12 in the photoelectronic IC chip 4 so that light emitted from the emitting device 11 is reflected by the slope 5 and is transmitted along an optical waveguide 3. Then, the light reflected by another slope 5 is incident on the photodetector 12 in the photoelectronic IC chip 4. In this case, the slope 5 has a reflecting film 2 without an additional manufacturing step that a special angle shape is added for total reflection. Moreover, the reflecting film 2 functions as an interconnection for power supply.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-67770

(43)公開日 平成 5 年(1993) 3 月19日

(51)Int.Cl.⁵

H 0 1 L 27/15

識別記号

庁内整理番号

8934-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 6 頁)

(21)出願番号 特願平3-254258

(22)出願日 平成 3 年(1991) 9 月 6 日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 奥洞 明彦

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

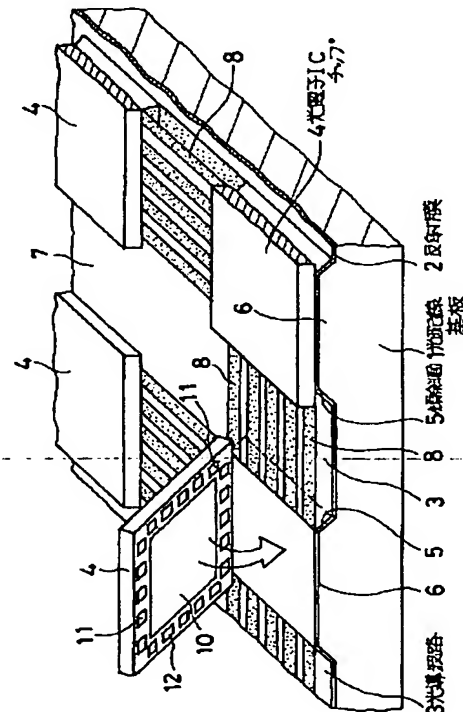
(74)代理人 弁理士 小池 晃 (外 2 名)

(54)【発明の名称】 光電子集積回路装置

(57)【要約】

【目的】 光結合される複数の光電子 I C チップからなる光電子集積回路装置を光結合し易く且つ製造し易い構造とする。また、各光電子 I C チップへの給電方法を実実且つ簡便なものとする。

【構成】 光配線基板 1 に光電子 I C チップ 4 を取りつける凸部 6 を複数形成し、その凸部 6 の周囲を反射膜 2 が被覆する傾斜面 5 とする。この傾斜面 5 は、光電子 I C チップ 4 の発光素子 1 1 や受光素子 1 2 の位置に対応し、光電子 I C チップ 4 の発光素子 1 1 から射出された光は、傾斜面 5 で反射して光導波路 3 に沿って伝播し、再び傾斜面 5 で反射して他の光電子 I C チップ 4 の受光素子 1 2 に入射する。傾斜面 5 に反射膜 2 を有しているため、光の全反射のために特殊な角度とする加工は不要であり、反射膜 2 は電源用の配線としても機能する。



【特許請求の範囲】

【請求項 1】 電子回路と発光素子と受光素子が形成された光電子集積回路基板と、少なくとも前記発光素子又は前記受光素子に対向する傾斜面を有し、且つその傾斜面に連続して光導波路が設けられる共に、該傾斜面に前記光電子集積回路基板間の光結合用の光を反射する反射膜が形成された光配線基板とを具備することを特徴とする光電子集積回路装置。

【請求項 2】 請求項 1 記載の光電子集積回路装置において、その反射膜は導電性を有し、基板への配線を兼ねることを特徴とする光電子集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電子回路と発光素子と受光素子を混成させた光電子集積回路を複数光結合させた光電子集積回路装置に関する。

【0002】

【従来の技術】 ワークステーションやパーソナルコンピュータの如きシステムにおいては、最近ますますその小型化や高性能化の要求が高まっている。これらのシステムを構成する主要素の 1 つに、半導体電子回路技術が有るが、高集積化のために金属配線のパターンを微細化した場合には、伝送遅延の問題が生じ、さらに配線間のスペースを狭めた時では、誘導ノイズや相互干渉等が問題となる。

【0003】 そこで、電気的な配線によらず、電子デバイス間の伝送を光結合とする方法が着目されてきている。このような光結合を行う装置の例として、特開昭 61-121014 号公報では、受光素子と発光素子が形成された基板に光配線板を取り付け、この光配線板に V 形溝及び光導波路を形成する装置が開示されている。すなわち、発光素子からの光は V 形溝の側面で反射し、光導波路中を伝播し、受光素子に到達する。

【0004】

【発明が解決しようとする課題】 ところが、前記公報に記載される光結合技術では、光配線板自体が SiO_2 によって構成される。また、V 形溝の側面で光の反射は、 SiO_2 の臨界角以下の全反射を利用する。このため V 形溝はその形状が制限され、その V 形溝を形成するために製造工程が複雑化することになる。

【0005】 さらに、高集積化のために電子回路等を形成した多数の光電子集積回路基板を光配線基板に接続する場合、各光電子集積回路基板に対して電源電圧の供給等の目的で電気的な配線を施す必要があるが、電気的な配線をワイヤボンディングによって行う場合では、そのワイヤの引き回しなどが複雑化し、短絡如き問題も新たに発生する。

【0006】 そこで、本発明は上述の技術的な課題に鑑み、基板間の光結合を行う装置であって、特にその製造工程から量産して好適な構造を有する光電子集積回路装

置の提供を第 1 の目的とする。さらに、本発明は基板間の電源等の配線にも有利な構造の光電子集積回路装置の提供を第 2 の目的とする。

【0007】

【課題を解決するための手段】 上述の第 1 の目的を達成するために、本発明の光電子集積回路装置は、電子回路と発光素子と受光素子が形成された光電子集積回路基板と、前記発光素子及び前記受光素子に対向する傾斜面を有し、且つその傾斜面に連続した光導波路が設けられる共に、該傾斜面に前記基板間の光結合用の光を反射する反射膜が形成された光配線基板と具備することを特徴とする。

【0008】 前記光電子集積回路基板は、基板上に電子回路と発光素子と受光素子が形成された構造を有し、発光素子や受光素子を当該基板の周囲側に配置することで、電子回路部を基板に中央部に配し、その中央部に前記光配線基板に取りつけられる構造にできる。また、光電子集積回路基板自体が複数の基板を主面に垂直な方向に積層した 3 次元構造であったり、光結合用の光が光電子集積回路基板を透過する波長の光であっても良い。

【0009】 光配線基板は、前記傾斜面と光導波路が形成される基板であり、前記発光素子や受光素子の光の射出方向や受光方向を主面に垂直な方向とし、当該光配線基板の傾斜面を基板主面に対して 45° とすることで、光導波路は基板主面内方向のものとなる。このような光配線基板としては、シリコン基板等が用いられるが、特にこれに限定されるものではない。

【0010】 前記傾斜面には、反射膜として金属等の膜が形成され、その反射膜によって光結合の光が反射される。この反射膜には、前記第 2 の目的を達成するために、導電性を持たせることで配線を兼ねることができ、配線と反射膜が兼用となる場合、全面に被着した反射膜の一部を電子回路の部分や他の領域でパターンニングして電源線の如き配線に用いることができる。

【0011】

【作用】 光配線基板の傾斜面では、発光素子からの光が反射されて光導波路に至り、或いは光導波路からの光が傾斜面で反射して受光素子に至る。この傾斜面には、反射膜が形成されているため、その反射膜によって全反射が可能であり、傾斜面の角度は、基板主面に沿った導波路に対しては例えば 45° で良いことになる。

【0012】 また、各光電子集積回路基板に対しては、電源供給などのために、電気的な配線が必要であるが、本発明では、反射膜に導電性を持たせることで、配線を兼ねることができる。従って、電源供給のための新たな配線が不要となる。

【0013】

【実施例】 次に、図面を参照しながら本発明の好適な実施例について説明する。

【0014】 【第 1 の実施例】 図 1 は本実施例の光電子

集積回路装置の斜視図である。平板状の光配線基板 1 の表面には、複数の光電子 IC チップ 4 が配列されて実装されており、複数の光電子 IC チップ 4 の間には導波路 3 が形成されている。

【0015】光配線基板 1 は、シリコン基板の表面を後述するような方法によって加工したものであり、光電子 IC チップ 4 を配すべき領域に対応して略正方形に突設された複数の凸部 6 が基板表面に形成されている。各凸部 6 の周囲は基板主面より 45° の角度に立ち上がった傾斜面 5 とされている。この光配線基板 1 の全面には、反射膜 2 が所要の膜厚で形成されており、傾斜面 5 の表面も反射膜 2 が覆う。凸部 6 以外の光配線基板 1 の表面には、シリコン酸化膜 7 が形成されており、このシリコン酸化膜 7 の一部であって凸部 6 同士に光導波路 3 が形成されている。

【0016】前記反射膜 2 はアルミニウムや金或いはその他の金属膜であり、傾斜面 5 の反射率を金属反射によって著しく高めるものである。この反射膜 2 は、金属膜であるために、導電性に優れており、本実施例では、特に光電子 IC チップ 4 への電源供給用の配線として機能する。

【0017】光導波路 3 は凸部 6 同士の間の光伝送を行うための光路となり、光配線基板 1 の表面に被着されたシリコン酸化膜 7 に形成されているために、その光路は基板主面に沿ったものとなる。一対の光電子 IC チップ 4 の間には、双方向の伝送や異なる信号を伝送するために、複数本の光導波路 3 が一の傾斜面 5 から他の傾斜面 5 までの間に連続的に設けられる。一対の光電子 IC チップ 4 の光結合に用いられる各光導波路 3 は平行に延在され、各光導波路 3 の間は屈折率の高い高屈折率部 8 とされる。この高屈折率部 8 は、プロトン等のイオン注入等により形成される。

【0018】光電子 IC チップ 4 は、略正方形の半導体チップであって、その一方の主面の中央部に半導体集積回路からなる電子回路部 10 を有し、その電子回路部 10 の周囲に発光素子 11 や受光素子 12 を有する、光素子と電子素子の混成基板である。電子回路部 10 は、発光素子 11 や受光素子 12 の駆動回路や信号処理回路或いは演算処理回路やメモリ等の集積回路部分である。実装の際には、本実施例では、光電子 IC チップ 4 の素子形成面が光配線基板 1 側に向かい、電子回路部 10 が凸部 6 に接触するかたちで取り付けられる。この光電子 IC チップ 4 の発光素子 11 の光の射出方向は、チップ主面に対して垂直な方向であり、同じく受光素子 12 はチップ主面に対して垂直方向な方向からなる光線に感度を有する。発光素子 11 と受光素子 12 の位置は、各光電子 IC チップ 4 の端部に近い周辺領域であり、その位置は光配線基板 1 の傾斜面 5 に対応した位置である。

【0019】図 2 は光電子 IC チップ 4 間の光結合の様子を示す図である。光配線基板 1 の凸部 6 上に取りつけ

られた各光電子 IC チップ 4 は、その受光素子 12 と発光素子 11 が傾斜面 5 上に位置することになる。傾斜面 5 は反射膜 2 が形成されており、 45° に加工されて反射鏡として機能する。このため発光素子 11 からチップの主面に垂直に射出された光線は、その傾斜面 5 で反射し、光導波路 3 に導出される。また、その光導波路 3 からの光は、傾斜面 5 で反射し、主面に垂直な光線とされて受光素子 12 に受光される。

【0020】反射膜 2 は導電膜としても機能して、各光電子 IC チップ 4 の電源供給用に用いられるため、所要の配線パターンとなるようにパターンニングされる。また、光電子 IC チップ 4 の部分では、該チップの電源用の端子と接続される。この反射膜 2 を利用した電源ライン、接地ライン等は、各光電子 IC チップ 4 で共通化することができ、チップ数が多い場合に極めて有効である。

【0021】上述の如き本実施例の光電子集積回路装置は、光電子 IC チップ 4 同士の光結合が反射膜 2 が被覆する傾斜面 5 を有した光配線基板 1 によって行われるため、光による相互干渉や信号歪みのない信号伝送がなされる。また、入射する光を全反射するための傾斜面 5 の構造は、反射膜 2 を被覆した構造とされ、次に説明するような工程により得られるものである。

【0022】また、反射膜 2 は電源供給用の配線としても機能するため、光電子 IC チップ 4 の数が多くなる場合に、有効な配線構造となる。

【0023】次に、図 6～図 10 を参照して、本実施例の光電子集積回路装置の製造方法の一例について説明する。

【0024】まず、図 6 に示すように、シリコン基板 21 を加工し、傾斜面 22 を伴う凸部 23 を該シリコン基板 21 の表面に形成する。このような凸部 23 の形成は、ドライエッチングの如き異方性エッチングを用いて行われ、傾斜面 22 は主面に対して 45° の角度をなすように加工される。次いで、凸部 23 の形成されたシリコン基板 21 の全面に反射膜 24 を被着する。反射膜 24 がアルミニウム膜である場合には、蒸着等により形成できる。

【0025】シリコン基板 21 上に反射膜 24 を形成した後、フォトリソグラフィ技術により、その反射膜 24 を所要の電源供給用のパターンにパターンニングする。

【0026】次に、図 7 に示すように、シリコン基板 21 上の全面に、導波路を形成するための材料層としてシリコン酸化膜 25 が例えば CVD 法等により形成される。このシリコン酸化膜 25 の膜厚は、凸部 23 の間の凹部が十分に埋められる厚みである。

【0027】シリコン酸化膜 25 を厚く形成した後、メカニカルポリッシング等によってシリコン酸化膜 25 の膜厚を減らし、図 8 に示すように、凸部 23 の上面が露出する程度までシリコン酸化膜 25 を削る。凸部 23 上

の反射膜 2 4 が露出しない程度にシリコン酸化膜 2 5 を削る場合には、凸部 2 3 において電源供給のためのコンタクトホールを形成する。

【0028】次に、図 9 に示すように、シリコン酸化膜 2 5 に対してプロトンを注入して、高屈折率層を形成する。この高屈折率層のパターンは、平行な導波路を形成するパターンであり、図示しないレジスト等をマスクとしてイオン注入される。

【0029】光導波路をシリコン酸化膜 2 5 に形成した後、図 10 に示すように、受光素子や発光素子及び電子回路部が既に形成された光電子 IC チップ 2 6 が各凸部 2 3 上に載置される。この時、光電子 IC チップ 2 6 の電源供給用端子が反射膜 2 4 に接続し、光電子 IC チップ 2 6 の受光素子や発光素子は傾斜面 2 2 上に位置するように載置される。

【0030】〔第 2 の実施例〕本実施例は第 1 の実施例の変形例であり、本実施例の光配線基板 3 1 は、第 1 の実施例と同様に、傾斜面 3 9 を周囲に有する凸部 3 3 を表面に有し、その傾斜面 3 9 の表面には反射膜 3 2 が形成されている。凸部 3 3 の周囲の凹部には、光導波路 3 8 が形成されている。

【0031】光電子 IC チップ 3 4 は、一方の主面 3 4 a に受光素子 3 7、発光素子 3 6、電子回路部 3 5 が形成されるが、本実施例では、光結合に用いられる光の波長が光電子 IC チップ 3 4 を透過する波長の光とされる。従って、発光素子 3 6 で生成された光は、光電子 IC チップ 3 4 を透過して傾斜面 3 9 の反射膜 3 2 で反射し、光導波路 3 8 に向かう。また、光導波路 3 8 からの光は傾斜面 3 9 の反射膜 3 2 で反射した後、光電子 IC チップ 3 4 を透過して受光素子 3 7 に受光されることになる。

【0032】このような光電子 IC チップ 3 4 を透過する光による光結合では、電子回路部 3 5 の如き集積回路を光配線基板 3 1 側にすることなく実装が可能である。また、光電子 IC チップ 3 4 毎に一方の主面 3 4 a 側からプローブ等を使用しながら品質検査をすることができる。さらに、光電子 IC チップ 3 4 の裏面にマイクロレンズを形成することで、光の入出力効率を高くすることができる。

【0033】〔第 3 の実施例〕本実施例は、光電子 IC チップが 3 次元化された例である。その要部構造を図 4 に示す。第 2 の実施例と同様に、本実施例の光配線基板 3-1 は、傾斜面 3-9 を周囲に有する凸部 3-3 を表面に有し、その傾斜面 3-9 の表面には反射膜 3-2 が形成されている。凸部 3-3 の周囲の凹部には、光導波路 3-8 が形成されている。

【0034】光電子 IC チップ 4 1 は、3 枚の主面に垂直方向に積層された基板 4 2、4 3、4 4 からなり、受光素子 4 5 は最上層の基板 4 4 に形成され、発光素子 4 6 は中間の基板 4 3 に形成されている。これら受光素子

4 5 や発光素子 4 6 の位置は、光配線基板 3 1 の傾斜面 3 9 と平面上重なる位置であるが、発光素子 4 6 からの光は、最下層の基板 4 2 を透過して、傾斜面 3 9 に到達し、受光素子 4 5 に受光される光は、最下層の基板 4 2 及び中間の基板 4 3 を透過したものである。

【0035】このように光電子 IC チップ 4 1 を積層化した場合では、配線経路が大幅に短縮され、配線遅延を低減できることになる。なお、本実施例では、光電子 IC チップを 3 枚の基板を積層する構造としたが、これに限定されず、2 枚やさらに多くの数の基板を積層したり、他の種類の基板を組み合わせて積層するような構造とすることも可能である。また、受光素子や発光素子を基板主面な方向に複数個重なるように形成して、多重化するような構造としても良い。

【0036】〔第 4 の実施例〕本実施例は、同一の光電子 IC チップ内で光結合される例である。図 5 の断面に示すように、本実施例の光電子集積回路装置では、1 つの光電子 IC チップ 5 5 の内部での光結合のための光導波路 5 9 が光配線基板 5 1 の表面に形成される。光配線基板 5 1 の表面には、凸部 5 3 が形成され、この凸部 5 3 の端部が反射膜 5 2 の被覆された傾斜面 5 4 となる。図 5 の断面では、一對の凸部 5 3 の間の光導波路 5 9 は、当該光電子 IC チップ 5 5 専用であり、他の光電子 IC チップとの光伝送には用いられない。他の光導波路 5 8 は、他の実施例と同様に他の光電子 IC チップとの光結合に使用される。光電子 IC チップ 5 5 には、他の光電子 IC チップとの光結合のための発光素子 5 7 及び受光素子 5 6 が形成され、さらにチップ内の光結合のための発光素子 5 7 i 及び受光素子 5 6 i が形成される。これら発光素子 5 7、5 7 i 及び受光素子 5 6、5 6 i は、それぞれ傾斜面 5 4 上に平面的に重なる位置に形成されていることは言うまでもない。

【0037】このような構造の光電子 IC チップ 5 5 及び光配線基板 5 1 を用いた場合では、光電子 IC チップ 5 5 内での信号伝達を光によって行うことができ、電気配線に固有な伝送歪みや相互干渉の問題等を解決できることになる。

【0038】

【発明の効果】本発明の光電子集積回路装置は、光電子集積回路基板同士の光結合が反射膜に被覆された傾斜面を有した光配線基板によって行われるため、光による相互干渉や信号歪みのない信号伝送がなされる。また、入射する光を全反射するための傾斜面の構造は、反射膜を被覆した構造であり、特別な角度等を必要とせず全反射が可能であり、その製造工程も簡略化される。

【0039】また、本発明において、反射膜は電源供給用の配線としても機能するため、光電子集積回路基板毎のワイヤボンディング等が不要となり、光電子集積回路基板の数が多くなる場合に、有効な配線構造となる。

【図面の簡単な説明】

【図1】本発明の光電子集積回路装置の一例の構造を示し、一部の光電子ICチップを分解しながら示す要部斜視図である。

【図2】前記光電子集積回路装置の一例の光伝送路に沿った断面図である。

【図3】本発明の第2の実施例の光電子集積回路装置を示す要部断面図である。

【図4】本発明の第3の実施例の光電子集積回路装置を示す要部断面図である。

【図5】本発明の第4の実施例の光電子集積回路装置を示す要部断面図である。

【図6】本発明の光電子集積回路装置の一例の製造方法における基板加工工程までの工程断面図である。

【図7】本発明の光電子集積回路装置の一例の製造方法におけるシリコン酸化膜形成工程までの工程断面図である。

【図8】本発明の光電子集積回路装置の一例の製造方法

におけるポリッシング工程までの工程断面図である。

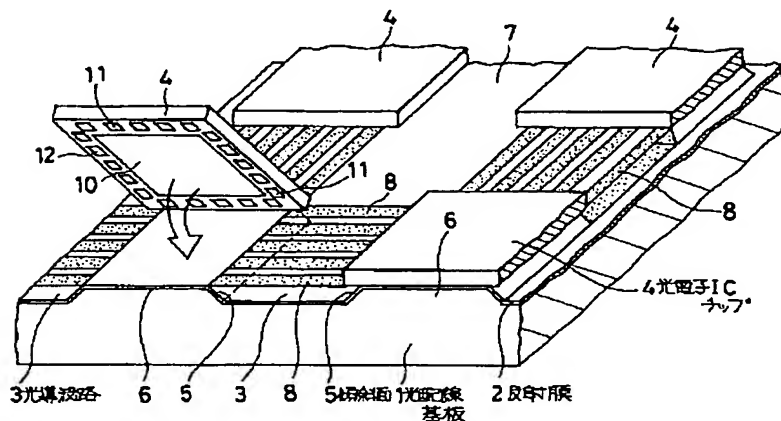
【図9】本発明の光電子集積回路装置の一例の製造方法におけるイオン注入工程までの工程断面図である。

【図10】本発明の光電子集積回路装置の一例の製造方法における光電子ICチップの取り付け工程までの工程断面図である。

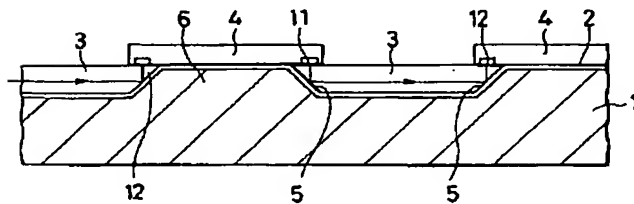
【符号の説明】

- 1, 31, 51…光配線基板
- 2, 32, 52…反射膜
- 3, 38, 58, 59…光導波路
- 4, 34, 41, 55…光電子ICチップ
- 5, 39, 54…傾斜面
- 6, 33, 53…凸部
- 7…シリコン酸化膜
- 10…電子回路部
- 11, 36, 46, 57, 57i…発光素子
- 12, 37, 45, 56, 56i…受光素子

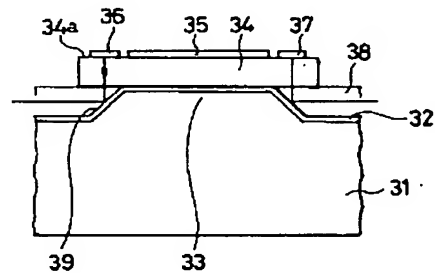
【図1】



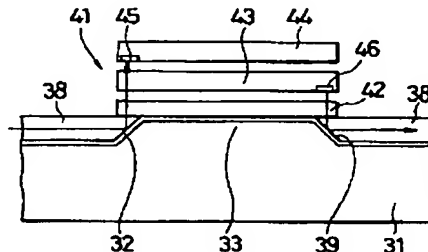
【図2】



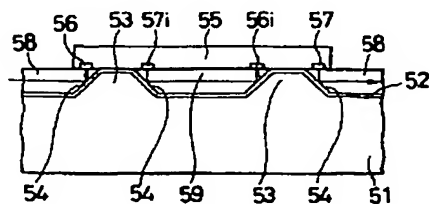
【図3】



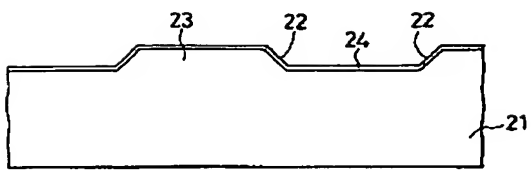
【図4】



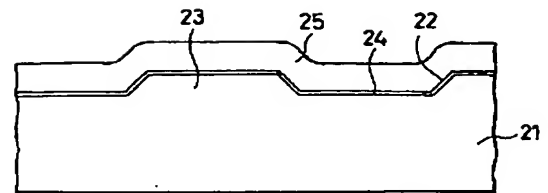
【図5】



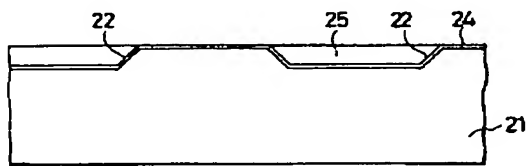
【図6】



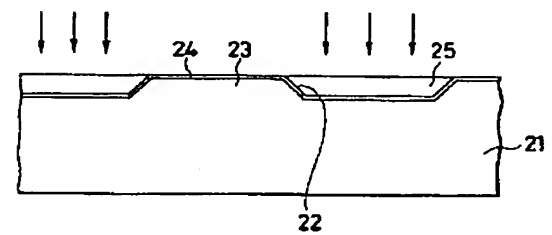
【図7】



【図8】



【図9】



【図10】

